

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06310953 A**

(43) Date of publication of application: **04.11.94**

(51) Int. Cl.

H03F 3/60

(21) Application number: **05093039**

(22) Date of filing: **20.04.93**

(71) Applicant: **SANYO ELECTRIC CO LTD**

(72) Inventor:
**MURAI SHIGEYUKI
YAMAGUCHI TSUTOMU
NAKATANI MASAOKI
HARADA YASOO**

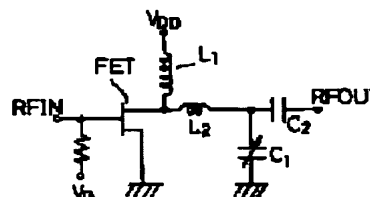
(54) **MATCHING CIRCUIT**

(57) Abstract:

PURPOSE: To prevent the distortion in an output waveform and the reduction in a linear output even when a voltage applied to a drain electrode of a field effect transistor (TR) is changed.

CONSTITUTION: The circuit is made up of an inductor L_2 and capacitors C_1 , C_2 giving a load impedance to a FET. In this matching circuit, a cathode electrode of the capacitor C_1 is made up of a varactor diode whose cathode electrode connects to other terminal of the inductor whose one terminal connects to a drain electrode of the FET and whose anode electrode connects to ground.

COPYRIGHT: (C)1994,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-310953

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl.⁵

H 0 3 F 3/60

識別記号

庁内整理番号

8522-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平5-93039

(22)出願日 平成5年(1993)4月20日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72)発明者 村井 成行

大阪府守口市京阪本通 2 丁目 18 番地 三洋
電機株式会社内

(72)発明者 山口 勤

大阪府守口市京阪本通 2 丁目 18 番地 三洋
電機株式会社内

(72)発明者 中谷 政明

大阪府守口市京阪本通 2 丁目 18 番地 三洋
電機株式会社内

(74)代理人 弁理士 河野 登夫

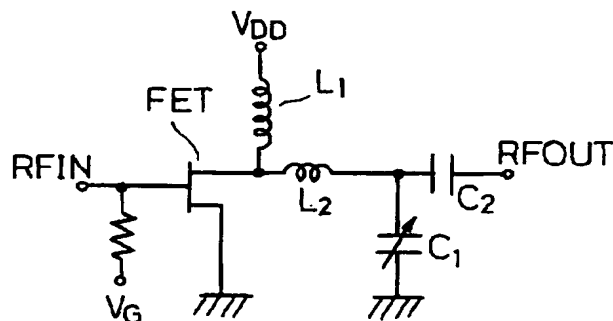
最終頁に続く

(54)【発明の名称】 整合回路

(57)【要約】

【目的】 電界効果トランジスタのドレイン電極に印加される電圧が変化しても出力波形が歪み、また線型出力が低下するのを防止する。

【構成】 FETの負荷インピーダンスを与える、インダクタ L_2 , キャパシタ C_1 , C_2 で構成される整合回路において、前記キャパシタ C_1 はそのカソード電極を、一端がFETのドレイン電極に接続されたインダクタの他端に接続し、またアノード電極を接地したバラクタダイオードで構成する。



【特許請求の範囲】

【請求項1】 ドレイン電極に所定電圧を印加するようにしたソース接地型の電界効果トランジスタにおける前記ドレイン電極に接続されたインダクタ及び第1、第2のキャパシタを備え、前記電界効果トランジスタに負荷インピーダンスを与えるようにした整合回路において、前記第1のキャパシタは、カソード電極を一端が前記ドレイン電極に接続されたインダクタの他端に接続し、アノード電極を接地したバラクタダイオードにて構成したことを特徴とする整合回路。

【請求項2】 前記バラクタダイオードの動作層は半導体基板内に形成され、また第2のキャパシタは前記半導体基板面上に形成されたバラクタダイオードのカソード電極上にMIM構造に形成されている請求項1記載の整合回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は携帯電話機等の電力増幅器に用いられる出力側の整合回路に関する。

【0002】

【従来の技術】携帯電話機の小型、軽量化のため電池自体も小型化され、低電圧化されるに伴い、使用する各種電子部品についても低電圧で正常に動作することが要求されている。図4は従来の携帯電話機における電力増幅器に用いられる電界効果トランジスタ出力整合回路を含むモノリシック集積回路の回路図であり、図4においてRFINは高周波の入力端子、RFOUTは同じく高周波の出力端子を示している。前記入力端子RFINは抵抗Rの一端に接続されると共に、電界効果トランジスタ（以下FETと称す）のゲートに接続されている。

【0003】抵抗Rの他端にはゲートバイアス電圧 V_G が印加されている。FETはそのソース電極が接地され、ドレイン電極はインダクタ L_1 を介在させて電源電圧 V_{DD} に接続されると共に、負荷インピーダンスを与える出力整合回路に接続されている。出力整合回路は一端がドレイン電極に接続されたインダクタ L_2 及び各一方の電極をインダクタ L_2 に接続したキャパシタ C_3 、 C_2 を備えており、キャパシタ C_3 の他方の電極は接地され、またキャパシタ C_2 の他方の電極は高周波の出力端子RFOUTに接続されている。

【0004】図5は図4に示した出力整合回路を構成する各部品のレイアウトを示す断面構造図であり、図中21は半絶縁性GaAs基板を示している。半絶縁性GaAs基板21の表面には出力整合回路を構成するインダクタ L_2 及びキャパシタ C_3 、 C_2 が形成されている。キャパシタ C_3 、 C_2 夫々の各一方の電極22,23は半絶縁性GaAs基板21の表面に僅かな間隙を隔てて並列形成され、これら両電極22,23にわたしてこれらの一部に重なるよう絶縁膜24を積層し、更にこの絶縁膜24上に夫々前記電極22,23と重ねて電極25,26を積層してキャパシタ C_3 、 C_2 を

形成してある。

【0005】キャパシタ C_3 の電極25の一部は半絶縁性GaAs基板21の表面上を延在させ、この延在させた部分の電極25上にポリイミド樹脂27を隔ててインダクタ L_2 を構成する金属製の線状部28が螺旋状に形成されている。このような電力増幅回路にあっては、入力端子RFINから入力された信号はFETで増幅され、出力整合回路を経て出力端子RFOUTから出力される。ところで出力端子RFOUTからの出力信号波形は出力整合回路によって決まる負荷インピーダンスとFETの静特性とにより規制される。

【0006】図6は図4に示したFETの静特性、即ち異なる電源電圧 V_{DD} での $V_{DS}-I_{DS}$ 特性図であり、横軸にドレイン電圧 V_{DS} 、縦軸にドレイン電流 I_{DS} をとって示している。グラフ中一点鎖線A-A'、B-B'は負荷線を示している。図6から明らかなように、電源電圧が V_{DD1} の場合には負荷線A-A'で決まる出力電圧及び出力電流波形が得られ、またこれよりも低い電源電圧 V_{DD2} の場合には負荷線B-B'で決まる出力電圧及び出力電流波形が得られることとなる。

【0007】

【発明が解決しようとする課題】ところで上述した如き従来の電力増幅回路においては、電源電圧が V_{DD1} から V_{DD2} に変化した場合、図6に示す如く出力整合回路自体は変化しないから負荷線の勾配は変わらず、電源電圧の下降分だけ負荷線がA-A'からB-B'に変わることとなる。従って電源電圧が V_{DD1} 、即ち負荷線がA-A'の場合には出力電圧、出力電流波形はA、A'で示す如く不都合を生じない場合においても、負荷線がB-B'になるとB'側で波形がクリップされて出力電圧、出力電流波形がB、B'に示す如くに歪むこととなり、得られる線型出力電力も低下するという問題があった。また図5から明らかな如くキャパシタ C_3 、 C_2 を個別に並列形成しているため工程は簡略化され、短縮される反面、チップ面積が大きくなるという問題もあった。

【0008】本発明はかかる事情に鑑みなされたものであって、その目的とするところは電源電圧が変化しても出力信号波形に歪みが生じず、線型出力電力の低下を防止出来、しかもチップ表面積の縮小が図れるようにした整合回路を提供するにある。

【0009】

【課題を解決するための手段】本発明に係る整合回路はドレイン電極に所定電圧を印加するようにしたソース接地型の電界効果トランジスタにおける前記ドレイン電極に接続されたインダクタ及び第1、第2のキャパシタを備え、前記電界効果トランジスタに負荷インピーダンスを与えるようにした整合回路において、前記第1のキャパシタは、カソード電極を一端が前記ドレイン電極に接続されたインダクタの他端に接続し、アノード電極を接地したバラクタダイオードにて構成したことを特徴とす

る。

【0010】

【作用】本発明にあっては電界効果トランジスタのドレイン電極に印加される電圧の変化に対応してバラクタダイオードの容量が変化し、電界効果トランジスタの負荷インピーダンスも電源電圧に応じて変化することで、出力信号の歪み、線型出力電力の低下が防止できる。

【0011】

【実施例】以下本発明をその実施例を示す図面にに基づき具体的に説明する。図1は本発明に係る整合回路、電界効果トランジスタを含むモノリシック集積回路の回路図であり、図1においてRF INは高周波の入力端子、RF OUTは同じく高周波の出力端子を示している。前記入力端子RF INは抵抗Rの一端に接続されると共に、FETのゲートに接続されている。

【0012】抵抗Rの他端にはゲートバイアス電圧 V_G が印加されている。FETはそのソース電極が接地され、ドレイン電極はインダクタ L_1 を介在させて電源電圧 V_{DD} を印加されると共に、負荷インピーダンスを与える出力整合回路に接続されている。出力整合回路は一端がドレイン電極に接続されたインダクタ L_2 及びキャパシタ C_1 、 C_2 を備えている。キャパシタ C_1 はカソード電極を前記インダクタ L_2 に接続され、アノード電極を接地されたバラクタダイオードとして構成され、またキャパシタ C_2 はその一方の電極をインダクタ L_2 に、また他方の電極を高周波の出力端子RF OUTに接続されている。

【0013】図2は本発明の実施例における出力整合回路を構成する各部品のレイアウトを示す断面構造図であり、図中1は半絶縁性GaAs基板を示している。半絶縁性GaAs基板1にはその内部に容量可変のキャパシタ C_1 が、また表面にキャパシタ C_2 及びインダクタ L_2 が形成されている。半絶縁性GaAs基板1の内部には導電型が n^+ 型のイオン注入層11、このイオン注入層11に接して導電型が n 型のイオン注入層12が形成されると共に、この n 型のイオン注入層12の一部に p - n 接合させた状態で導電型が p^+ 型のイオン注入層13が n^+ 型のイオン注入層11との間に前記イオン注入層12を隔てた状態で形成してある。

【0014】そして前記 n^+ 型のイオン注入層11の表面に接する態様で半絶縁性GaAs基板1の表面にキャパシタ C_1 、 C_2 に共用される共用電極14を設け、また前記 p^+ 型のイオン注入層13に接して、半絶縁性GaAs基板1の*

*表面にキャパシタ C_1 の電極15を形成してある。前記したイオン注入層11, 12, 13は前記電極14, 15の形成前に活性化アニール処理を施されている。これによって半絶縁性GaAs基板1内に n 型イオン注入層12と p^+ 型イオン注入層13の界面で生じる p - n 接合容量で形成されたキャパシタ C_1 が形成されている。

【0015】前記共用電極14の表面にはSiN製の絶縁膜16を介在させて共用電極14上に重ねて電極17を形成してMIM（メタル・インシュレータ・メタル）構造の第2のキャパシタ C_2 が形成されている。また前記共用電極14はその一部を半絶縁性GaAs基板1の表面で延在させ、従来と同様にポリイミド樹脂18を介在させて、インダクタ L_2 を構成する金属製の線状部19が螺旋形に形成され、螺旋形の中心付近でインダクタ L_2 の一端と接続されている。

【0016】図3は図1に示したFETの静特性、即ち異なる電源電圧 V_{DD} での $V_{DS}-I_{DS}$ 特性図であり、横軸にドレイン電圧 V_{DS} 、縦軸にドレイン電流 I_{DS} をとって示している。グラフ中一点鎖線A-A'、B-B'は負荷線を示している。図3から明らかな如く、電源電圧が V_{DD1} （例えば4V）の場合には負荷線A-A'で決まるA、Aに示す如き出力電圧、出力電流波形が得られ、またこれよりも低い電源電圧 V_{DD2} （例えば2V）の場合には負荷線B-B'で決まるB、Bに示す如き出力電圧及び出力電流波形が得られることとなる。

【0017】例えば電源電圧が V_{DD1} （4V）から電源電圧 V_{DD2} （2V）に変化した場合、負荷線はA-A'からB-B'に変化するが、図6と対比すれば明らかな如く負荷線B-B'は負荷線A-A'に対し出力電圧波形は小さくなるが、出力電流波形が大きくなる関係にあり、出力電力は変わらず出力波形の歪みも生じないこととなる。

【0018】次に実施例に示す整合回路についての数値例を示す。いま例えば下記に示す如き特性のFETを用い、また電源電圧が2V～4Vで線型出力電力22dBmを得る場合、キャパシタ C_1 、 C_2 としては表1に示す特性が要求される。

ピンチオフ電圧 $V_{GS}(\text{OFF}) = -2\text{V}$
ドレイン飽和電流 $I_{DSS} = 350\text{mA}$
ニー電圧 $V_K = 0.5\text{V}$

【0019】

【表1】

表 1

電源電圧 V_{DD}	2V	3V	4V
C_1	3 pF	2 pF	1 pF
C_2	6 pF	6 pF	6 pF

【0020】表1に示す要求を満足させるに必要な容量可変のキャパシタ C_1 をイオン注入法により作製する場合の条件は表2に示す如くである。

*【0021】
【表2】

表 2

イオン注入条件	注入ドーパント	注 入 条 件
p ⁺ 層	Mg	25keV $5 \times 10^{14} \text{cm}^{-2}$
n 層	Si	60keV $3 \times 10^{12} \text{cm}^{-2}$
n ⁺ 層	Si	150keV $5 \times 10^{13} \text{cm}^{-2}$

【0022】表2に示す条件で作製したキャパシタ C_1 のアノード電極をアースに接続し、カソード電極に各電源電圧4V, 3V, 2Vを印加すると、容量は夫々1.4pF, 1.8pF, 3.2pFが得られ、表1の条件を略満足し得ることが確認された。またキャパシタ C_2 は、図2に示す如くその一方の電極はキャパシタ C_1 のカソード電極と共用し、この共用電極14上にSiN製の厚さ1600Åの絶縁膜16を介在させて他方の電極17を配置したMIM (メタル・インシュレータ・メタル) 構造を有して形成しており、このキャパシタ C_2 の面積を15000 μm^2 とすると必要な容量6pFが得られることが確認された。

【0023】

【発明の効果】以上の如く本発明に係る整合回路にあっては電界効果トランジスタのドレイン電極に印加する電圧が変化しても、バラクタダイオードの容量がこれに追従して変化し、電界効果トランジスタの負荷インピーダンスを変化させることで出力波形が歪むことなく、所望の線型出力が得られ、携帯用電話機等の小型化、軽量化に伴う電源の小容量化に適用可能となる等、本発明は優れた効果を奏する。

【図面の簡単な説明】

【図1】本発明に係る整合回路の回路図である。

【図2】図1に示す整合回路における各部品のリニアウトを示す断面構造図である。

※【図3】図1に用いる電界効果トランジスタの $V_{DS}-I_{DS}$ 特性図である。

【図4】従来の出力整合回路の回路図である。

【図5】図4に示す出力整合回路における各部品の断面構造図である。

【図6】図4に用いる電界効果トランジスタの $V_{DS}-I_{DS}$ 特性図である。

20 【符号の説明】

1 半絶縁性GaAs基板

11 n⁺型のイオン拡散層

12 n型のイオン拡散層

13 p⁺型のイオン拡散層

14 共用電極

15 電極

16 絶縁膜

17 電極

18 ポリイミド樹脂

30 RFIN 入力端子

R 抵抗

L₁, L₂ インダクタ

FET 電界効果トランジスタ

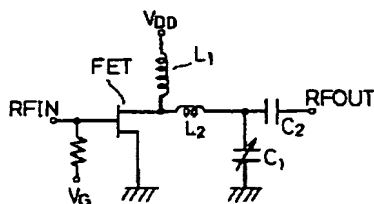
C₁ 容量可変のキャパシタ (バラクタダイオード)

C₂ キャパシタ

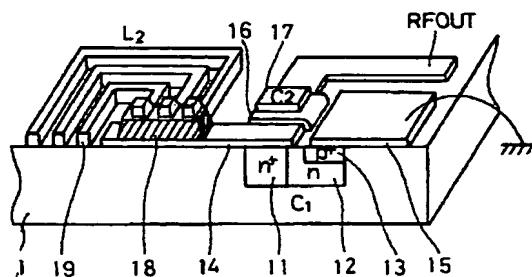
RFOUT 出力端子

※ V_{DD} 電源電圧

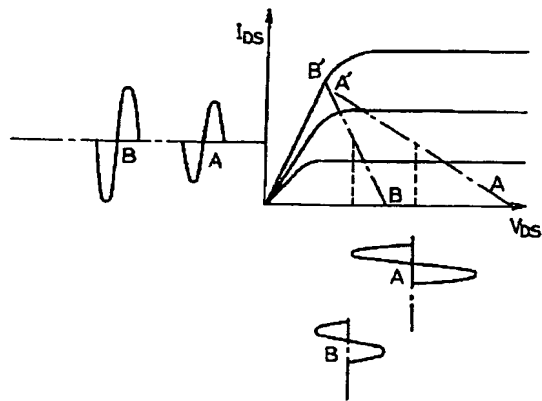
【図1】



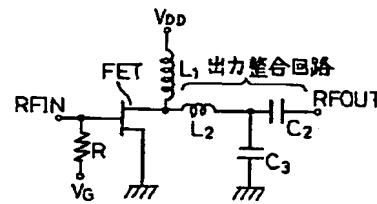
【図2】



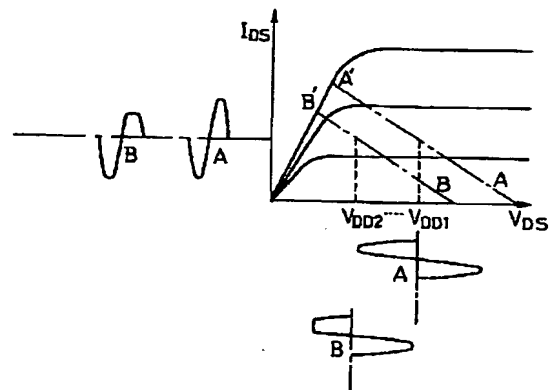
【図3】



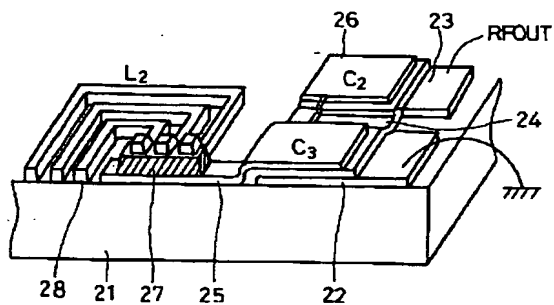
【図4】



【図6】



【図5】



フロントページの続き

(72)発明者 原田 八十雄
大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内